

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

10-2001-3749

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-91998

(43) 公開日 平成9年(1997)4月4日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 3		G 1 1 C 29/00	3 0 3 B
11/401			11/34	3 7 1 A

審査請求 未請求 請求項の数 5 F D (全 6 頁)

(21) 出願番号 特願平7-266223

(22) 出願日 平成7年(1995)9月20日

(71) 出願人 000128049

日鉄セミコンダクター株式会社

千葉県館山市山本1580番地

(72) 発明者 岩浪 栄一

千葉県館山市山本1580番地 日鉄セミコン
ダクター株式会社内

(72) 発明者 和田 俊男

千葉県館山市山本1580番地 日鉄セミコン
ダクター株式会社内

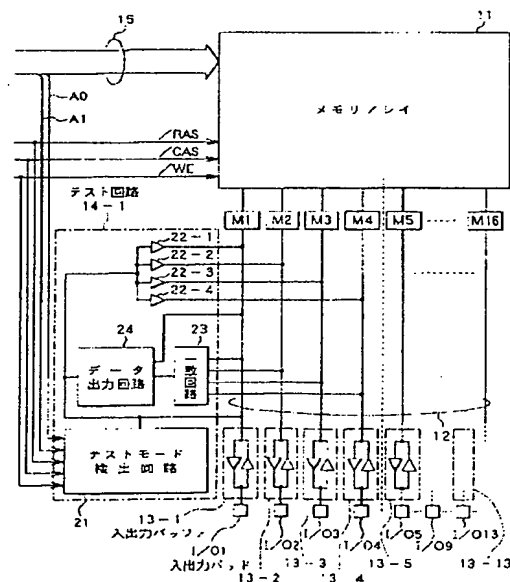
(74) 代理人 弁理士 藤島 洋一郎

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 複数の入出力端子を有するメモリ装置のテストを行う場合の同調数の制限を緩和し、メモリテストの生産性を改善する。

【解決手段】 メモリアレイ 11 の入出力パッド 1/O 1 ~ 1/O 16 は端から 4 個ずつグループ化され、各グループに対応してそれぞれテスト回路 14-1 等を設ける。入出力パッド 1/O 1, 1/O 5, 1/O 9, 1/O 13 のみが 1 C テスタの区示しないテストデータ端子に接続され、他の入出力パッドは未接続とする。テスト回路 14-1 は、装置がテストモードに入ったことを検出するためのテストモード検出回路 21 と、一の入出力パッド 1/O 1 から入力されたデータを 4 つのメモリセルに書き込むテストモード書込回路 22-1 ~ 22-4 と、4 つのメモリセルからデータを読み出したデータが一致しているか否かを判定する一致回路 23 と、その判定結果を入出力パッド 1/O 1 に出力するデータ出力回路 24 とを備える。



【特許請求の範囲】

【請求項1】 データ入出力用の複数の入出力端子と、これらの入出力端子のうちの入出力端子から入力されたデータを複数のメモリセルに書き込む書込手段と、前記複数のメモリセル各々からデータを読み出し、それらのデータが一致しているか否か、および一致している場合の一致データを判定する判定手段と、この判定手段による判定結果を前記入出力端子に出力する出力手段とを備え、前記入出力端子のうちの一部の入出力端子のみを使用してすべてのメモリセルのテストを行うようにしたことを特徴とする半導体記憶装置。

【請求項2】 さらに、メモリセルをテストするためのテストモードへの移行を検出するテストモード検出手段を備えたことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記テストモード検出手段は、メモリセルへの読み書き制御に使用する制御信号を入力するための1または複数のピンおよびアドレス信号を入力するための特定のピンに与えられた信号が所定の条件を満たしたことをもってテストモードへの移行を検出することを特徴とする請求項2記載の半導体記憶装置。

【請求項4】 前記テストモード検出手段がテストモードへの移行を検出するための所定の条件は、ライトインベール信号が活性化した状態でカラム・アドレス・ストロープ信号がコウ・アドレス・ストロープ信号よりも早く活性化するCASビフォアRAS状態において特定の2つのアドレスラインに所定データがセットされたこと、であることを特徴とする請求項3記載の半導体記憶装置。

【請求項5】 前記テストモード検出手段は、前記制御信号用のピンおよびアドレス信号用のピンのうち、特定のピンに通常電圧以上の高電圧が印加されたことをもってテストモードへの移行を検出することを特徴とする請求項3記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はDRAM (Dynamic Random Access Memory) 等の半導体記憶装置にあり、特に複数の入出力端子を備えた半導体記憶装置に関する。

【0002】

【従来の技術】 一般に、DRAMをはじめとする半導体記憶装置（以下、メモリ製品という。）のテストは、ICテストと呼ばれる試験装置によって行われるが、1つのメモリ製品のテストには数100秒という長い時間を要するので、生産性の向上のためには、1台のテストによって同時にテストできる製品数（以下、同測数という。）を多くする必要がある。同測数は、ICテストが備えている、/RAS、/CAS、/WE信号等の制御信号やアドレス信号のためのピン数（以下、制御・ア

ドレス数という。）、およびデータ入出力用の入出力端子のピン数（以下、入出力数という。）に依存するので、従来は、ICテストに多くのピン数を備えさせることで同測数を確保してきた。この場合、メモリ製品の入出力端子数が少ない場合（1または4）には、主として、ICテストの制御・アドレス数を如何に多くするかによって同測数が定まっていた。

【0003】

【発明が解決しようとする課題】 しかしながら、近年、メモリ製品に対する広ワード化（多ビット化）の要求に伴い、8、16または32個の入出力端子を備えたメモリ製品が一般化してきた。このようにメモリ製品の入出力端子が多数となると、同測数を律するのは、ICテストの制御・アドレス数というよりも、むしろ、ICテストの入出力数になる。例えば、入出力数が72のICテストによって4ピンの入出力端子をもつメモリ製品をテストする場合の同測数は18個であるが、16ピンの入出力端子をもつメモリ製品の場合の同測数はわずか4個となる。このため、生産性が著しく低下するという問題があった。

【0004】 これに対し、ICテストの入出力数をさらに増大させて同測数を確保することも考えられるが、これではICテスト自体が大型化し、装置コストの上昇という問題を生ずる。また、入出力数を増大させるのにも限界があるため、将来メモリ製品の入出力端子数がさらに増大した場合に対応できないという問題もある。

【0005】 本発明はかかる問題点に鑑みてなされたもので、その目的は、複数の入出力端子を有するメモリ装置のテスト等を行う場合の同測数の制限を緩和し、メモリテストの生産性を改善することができる半導体記憶装置を提供することにある。

【0006】

【課題を解決するための手段】 請求項1記載の半導体記憶装置は、データ入出力用の複数の入出力端子と、これらの入出力端子のうちの入出力端子から入力されたデータを複数のメモリセルに書き込む書込手段と、前記複数のメモリセル各々からデータを読み出し、それらのデータが一致しているか否か、および一致している場合の一致データを判定する判定手段と、この判定手段による判定結果を前記入出力端子に出力する出力手段とを備え、前記入出力端子のうちの一部の入出力端子のみを使用してすべてのメモリセルのテストを行うように構成したものである。

【0007】 この半導体記憶装置では、複数の入出力端子のうちの入出力端子を介して複数のメモリセルに同時にデータ書き込みが行われると共に、これらのメモリセルから同時に読み出したデータそれぞれが一致しているか否か、および一致している場合の一致データが判定され、その判定結果が前記入出力端子から出力される。これにより、一部の入出力端子のみを使用してすべ

でのメモリセルのテストが可能となる。

【0008】請求項2記載の半導体記憶装置は、請求項1記載の半導体記憶装置において、さらに、メモリセルをテストするためのテストモードへの移行を検出するテストモード検出手段を備えている。この半導体記憶装置では、テストモード検出手段によってテストモード移行が検出された後、上記のようなメモリセルテストが行われる。

【0009】請求項3記載の半導体記憶装置は、請求項2記載の半導体記憶装置において、前記テストモード検出手段が、メモリセルへの読み書き制御に使用する制御信号を入力するための1または複数のピンおよびアドレス信号を入力するための特定のピンに与えられた信号が所定の条件を満たしたことをもってテストモードへの移行を検出するように構成したものである。この半導体記憶装置では、テストモードへの移行は、一または複数の制御信号およびアドレス信号の一部が所定条件を満たしたときに行われる。

【0010】請求項4記載の半導体記憶装置は、請求項3記載の半導体記憶装置において、前記前記テストモード検出手段がテストモードへの移行を検出するための所定の条件が、ライトイネーブル信号が活性化した状態でカラム・アドレス・ストロージブ信号がロウ・アドレス・ストロージブ信号よりも早く活性化するCASビフォアRAS状態において特定の2つのアドレスラインに所定データがセットされたこと、であるように構成したものである。この半導体記憶装置では、制御信号およびアドレス信号の特定の組合せ条件によってテストモードへ移行する。

【0011】請求項5記載の半導体記憶装置は、請求項3記載の半導体記憶装置において、前記テストモード検出手段が、制御信号用のピンおよびアドレス信号用のピンのうち特定のピンに通常電圧以上の高電圧が印加されたことをもってテストモードへの移行を検出するように構成したものである。この半導体記憶装置では、特定ピンに印加される電圧レベルによってテストモードへ移行する。

【0012】

【実施の形態】以下、本発明の実施の形態を図面を参照して具体的に説明する。

【0013】図1は本発明の一実施の形態に係る半導体記憶装置の要部構成を表すものである。ここでは、DRAM装置を例に説明する。

【0014】このDRAM装置は、多数のメモリセルからなる16ビット構成のメモリアレイ11と、メモリアレイ11の各構成ビットごとに設けられたメインアンプM1～M16と、各構成ビットごとのデータ入出力のための入出力パッドI/O1～I/O16と、メインアンプM1～M16と入出力パッドI/O1～I/O16との間を結ぶ出力バス12上にそれぞれ設けられた入

出力バッファ13-1～13-16と、4つのテスト回路14-1～14-4とを備えている。なお、ここではテスト回路14-1のみを図示し、他は省略している。入出力パッドI/O1～I/O16は端から4個ずつグループ化され、これらの各グループに対応してテスト回路14-1～14-4が設けられている。そして、各グループの代表としての入出力パッドI/O1、I/O5、I/O9、I/O13のみがICテストのテストデータ端子（図示せず）に接続され、他の入出力パッドは未接続となっている。

【0015】第1の入出力パッドグループを構成する入出力パッドI/O1～I/O4については、テスト回路14-1が設けられている。このテスト回路14-1は、入出力バッファ13-1に接続されたテストモード検出回路21と、入力側が入出力バッファ13-1に共通接続されると共に出力側がそれぞれメインアンプM1～M4に接続されたテストモード書込回路22-1～22-4と、入力側がそれぞれメインアンプM1～M4に接続された一致回路23と、一の入力側が一致回路23の出力側に接続され他の入力側がメインアンプM1に接続されると共に出力側が入出力バッファ13-1に接続されたデータ出力回路24とを備えている。

【0016】テストモード検出回路21には、メモリアレイ11に入力されるべきアドレス信号15の一部（A0、A1）および制御信号（/RAS、/CAS、/WE）が分岐して入力されるようになっており、これらの信号が所定の条件を満たしたときに本DRAM装置がテストモードに入ったことを検出するようになっている。テストモード書込回路22-1～22-4は、いずれも入出力パッドI/O1からの入力データをメモリアレイ11の4つのメモリセルに同時に書き込むためのバッファドライバである。一致回路23は、メモリアレイ11の4つのメモリセルから読み出したデータが一致しているか否かを判定して判定信号を出力するためのもので、例えば後述するような回路（図2）で構成される。データ出力回路24は、一致回路23からの判定信号を基に入出力バッファ13-1にテスト結果を出力するためのもので、例えば後述するような回路（図3）で構成される。

【0017】図2は、図1における一致回路23の構成を表すものである。この図に示すように、一致回路23は、メインアンプM1、M2の出力を入力とするEX-NOR（排他的論理和の否定）回路31と、メインアンプM3、M4の出力を入力とするEX-NOR回路32と、EX-NOR回路31、32の出力を入力とするアンド回路33とを備えている。そして、アンド回路33は、メインアンプM1～4の出力がすべて“0”または“1”で一致したときには、判定信号34として“1”を出力すると共に、それ以外の場合には“0”を出力するようになっている。

【0018】図3は、図1におけるデータ出力回路24の構成を表すものである。このデータ出力回路24は、判定信号34が入力される入力端子41に直列接続されたインバータ42、43と、ゲートが共にインバータ43の出力端に接続されソースが共に電源に接続されたPMOSトランジスタ44、45と、メインアンプM1の出力端に接続されたインバータ48と、インバータ48の出力端に並列接続されたインバータ49、50と、インバータ49の出力端に接続されたインバータ51と、ゲートがインバータ50の出力端に接続されドレインが電源に接続されたNMOSトランジスタ53と、ゲートがインバータ51の出力端に接続されソースが接地されたNMOSトランジスタ52とを備えている。PMOSトランジスタ44のドレインはインバータ50の入力端に接続され、PMOSトランジスタ45のドレインはインバータ51の入力端に接続されている。NMOSトランジスタ52のドレインはNMOSトランジスタ53のソースに接続されると共に出力端子54に接続されている。

【0019】なお、他の(第2～第4)入出力パッドグループを構成する入出力パッド1/O5～1/O8、1/O9～1/O12、1/O13～1/O16についても、それぞれに対応してテスト回路14-2、14-3、14-4が設けられているが、いずれもテスト回路14-1と同様の構成であるので、説明を省略する。

【0020】次に、以上のような構成のDRAM装置の動作を説明する。

【0021】テストモード検出回路21は、CASピフォアRAS状態において特定の2つのアドレスラインに所定データがセットされると、これを検出してテストモードに入る。より具体的には、図4に示すように、2つのアドレス信号A0、A1(同図(d)、(e))がそれぞれ“0”、“1”にセットされ、かつ/WE信号およびCAS信号(同図(b)、(c))がアクティブ状態(“L”レベル)である場合において、/RAS信号(同図(a))がT1のタイミングでアクティブ状態(“L”レベル)に変化すると、テストモード検出回路21はこれを検出して、本DRAM装置がテストモードに移行したことを認識する。

【0022】次に、図示しないICテストから入出力パッド1/O1にテストデータとして“0”または“1”が入力されると、このデータは入出力バッファ13-1およびテストモード書込回路22-1～22-4を介してメインアンプM1～M4に入力され、メモリアレイ11の4つのメモリセルに同時に書き込まれる。

【0023】同様にして、入出力パッド1/O5、9、13からそれぞれ入力されたテストデータは、それぞれ対応するようにしてテスト回路14-5、14-9、14-13(図示せず)の各テストモード書込回路により各4つのメモリセルに同時に書き込まれる。なお、入

力パッド1/O1、5、9、13からそれぞれ同時に入力されるテストデータ(“0”または“1”)はすべて同一であってもよいし、異なってもよい。

【0024】メモリセルへのテストデータ書き込みが終了すると、今度はその書き込んだデータの読み出しを行う。メモリアレイ11の4つのメモリセルから読み出されたデータは、メインアンプM1～M4を介して一致回路23に入力される。一致回路23は、読み出された4つのデータの一致・不一致を判定し、その判定結果をデータ出力回路24に出力する。より具体的には、読み出したデータがすべて“0”または“1”で一致したときには、判定信号34として“1”を出力すると共に、それ以外の場合には“0”を出力する。

【0025】一致回路23による判定の結果、4つのデータが一致した場合には、図3のデータ出力回路24の入力端子41に判定信号“1”が入力されるため、PMOSトランジスタ44、45は共にオフとなる。このとき、4つのデータがすべて“1”で一致したとすると、メインアンプM1からデータ“1”が入力されるため、トランジスタ52、53は、それぞれオフ、オンとなり、出力端子54から“1”が出力される。一方、4つのデータがすべて“0”で一致したとすると、メインアンプM1からデータ“0”が入力されるため、トランジスタ52、53は、それぞれオン、オフとなり、出力端子54から“0”が出力される。

【0026】一方、4つのデータが不一致の場合には、図3のデータ出力回路24の入力端子41に判定信号“0”が入力されるため、PMOSトランジスタ44、45は共にオンとなる。これにより、NMOSトランジスタ52、53は共にオフとなり、出力端子54は高インピーダンス状態となる。

【0027】データ出力回路24から出力された結果データは、入出力バッファ13-1を介して入出力パッド1/O1から出力される。ICテスト(図示せず)は、結果データを基に、テスト対象の4つのメモリセルの良否を判定する。すなわち、結果データが“1”のときは、データ“1”を書き込んだ4つのメモリセルからすべて“1”が読み出されていて書込データと読出データとが一致していると判断する。結果データが“0”のときは、データ“0”を書き込んだ4つのメモリセルからすべて“0”が読み出されていて書込データと読出データとが一致していると判断する。結果データが高インピーダンス状態のときは、データの不一致、すなわちメモリエラー(書込エラーまたは読出エラー)が発生したものと判断する。

【0028】同様にして、他のテスト回路14-2～14-4からも、それぞれ4つのメモリセルに関する結果データが出力されて、それぞれ入出力パッド1/O5、9、13からICテストへと入力され、ICテストは、この結果データを基に、それぞれテスト対象の4つのメ

メモリセルの良否を判定する。

【0029】このようにして、本実施の形態では、16の入出力パッドのうちの4つのみを使用してすべてのメモリセルのテストを行うことにより、チップ（メモリ製品）としての良否判定を行うことができる。このため、16ビットという多ビット構成のDRAM装置に対しても、ICテストによる同測数を効果的に増大させることができる。

【0030】なお、本実施の形態では、アドレス信号A0、A1が所定値の組合せにセットされていることを前提にCASビフォアRAS状態に移行したことをもってテストモード移行条件としたが、本発明はこれに限定されるものではなく、特定信号（例えば／RAS、／CAS、／WE、／OE等の制御信号やアドレス信号の少なくとも1つ）を通常の電源電圧（3～5V）以上の電圧（例えば10V）にすることでテストモード移行条件とすようにしてもよい。この場合は、その特定信号のみをメモリアレイ11のほかテストモード検出回路21にも入力されるようにすれば足りる。

【0031】また、本発明は16ビット構成のDRAM装置に限定されるものではない。例えば、8ビット構成の場合には、入出力パッドI/O1、3、5、7の4つを使用し、1つの入出力パッドによって2つのメモリセルのテストを行うように構成すればよく、また、32ビット構成の場合には、入出力パッドI/O1、9、17、25の4つを使用し、1つの入出力パッドによって8つのメモリセルのテストを行うように構成すればよい。

【0032】さらに、本発明はDRAM装置に限定されるものではなく、その他の半導体記憶装置、例えばSRAM装置、ROM装置、EEPROM、フラッシュメモリ等にも適用できることはいうまでもない。

【0033】

【発明の効果】以上説明したように本発明の半導体記憶装置によれば、複数の入出力端子のうちの1の入出力端子を介して複数のメモリセルに同時にデータ書き込みを行うと共に、これらのメモリセルから同時に読み出したデータの一致を判定し、その判定結果を前記の入出力端子から出力するようにしたので、一部の入出力端子のみを使用してすべてのメモリセルのテストが可能となる。これにより、ICテストでメモリ製品のテストを行う場合の同測数が増大し、多ビット構成のメモリ製品の検査に要するコストを低減でき、生産性を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る半導体記憶装置の構成を表す図である。

【図2】図1における一致回路の構成を表す回路図である。

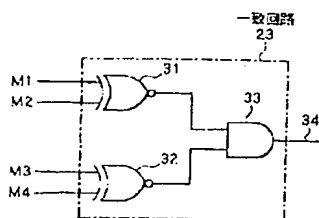
【図3】図1におけるデータ出力回路の構成を表す回路図である。

【図4】テストモード移行条件を表すタイミング図である。

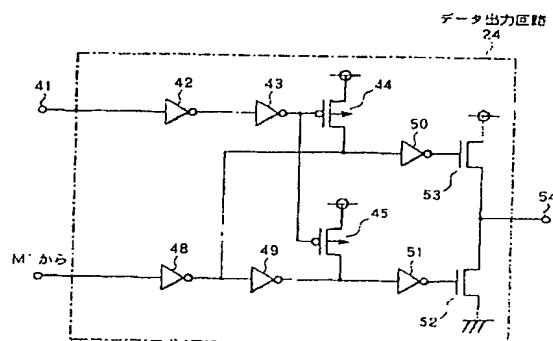
【符号の説明】

- 11 メモリアレイ
- 12 入出力バス
- 13-1～13-16 入出力バッファ
- 14-1 テスト回路
- 1/O1～1/O16 入出力パッド
- M1～M16 メインアンプ
- 21 テストモード検出回路
- 22-1～22-4 テストモード書込回路
- 23 一致回路
- 24 データ出力回路

【図2】



【図3】



【圖4】

